

特開平9-134594

(43)公開日 平成9年(1997)5月20日

(51) Int.Cl.⁶

G 1 1 C 14/00
11/22

識別記号

庁内整理番号

FI

G 1 1 C 11/34
11/22

技術表示箇所

3 5 2 A

審査請求 未請求 請求項の数6 OL (全 8 頁)

(21)出願番号 特願平7-289596

(22)出願日 平成7年(1995)11月8日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 谷川 博之

東京都小平市上水本町5丁目20番1号 株式会社日立製作所半導体事業部内

(72)発明者 竹内 幹

東京都小平市上水本町5丁目20番1号 株式会社日立製作所半導体事業部内

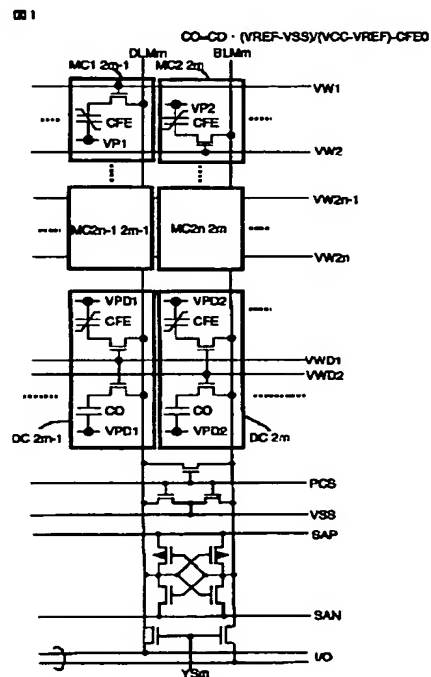
(74)代理人 弁理士 小川 勝男

(54) 【発明の名称】 半導体不揮発メモリ

(57) 【要約】

【課題】強誘電体キャパシタの疲労に対して長寿命で、かつ高信頼性の高集積不揮発性強誘電体メモリを提供する。

【解決手段】一トランジスタキャパシタ型の強誘電体メモリで、常誘電体キャパシタおよびメモリセルと同形の強誘電体キャパシタを含むダミーセルにより、強誘電体キャパシタが疲労する前のメモリセルの二値の分極情報に対応する二つのデータ線電位の丁度中間の電位より低い参照電位を発生させる。



1

【特許請求の範囲】

【請求項 1】ートランジスタキャパシタ型メモリセル構造の強誘電体メモリにおいて、情報を記憶するメモリセルと、上記メモリセルの二値の記憶情報を判定するための参照電位をデータ線に発生するダミーセルとを有し、上記ダミーセルは、常誘電体キャパシタと上記メモリセルと同形の強誘電体キャパシタとを含むことを特徴とする半導体不揮発メモリ。

【請求項 2】請求項 1 において、上記ダミーセルが上記データ線に出力する参照電位は、上記メモリセルの強誘電体キャパシタが疲労前の状態にあるとき上記メモリセルの二値の記憶情報に対応してデータ線に出力される二つの信号電位の丁度中間の電位よりも低くなるように、ダミーセルの常誘電体キャパシタの容量が設定されている半導体不揮発メモリ。

【請求項 3】上記常誘電体キャパシタは上記データ線の一部からなる請求項 1 又は請求項 2 に記載の半導体不揮発性メモリ。

【請求項 4】情報を記憶するメモリセルと、上記メモリセルと同形の強誘電体キャパシタを備えた第 1 のダミーセルが付属したデータ線対と、請求項 1 又は請求項 2 に記載の第 2 のダミーセルが付属したデータ線対とが交互に配置され、隣り合う 2 本のデータ線間すべてに置かれた差動型センスアンプと、隣り合う二つの差動型センスアンプを同時に選択駆動できる選択回路と、隣り合う 3 本のデータ線を同時に選択できるブリチャージ回路とを有する半導体不揮発メモリ。

【請求項 5】請求項 4 において、読み出し時にメモリセルの情報を出力するデータ線に隣り合う 2 本のデータ線に、上記第 1 および第 2 のダミーセルから参照電位をそれぞれ発生して、これらの参照電位と上記メモリセルの情報を出力したデータ線の電位とを、上記メモリセルの情報が出力されるデータ線につながる二つのセンスアンプを選択駆動することによって比較し、上記メモリセルの情報を判定する半導体不揮発メモリ。

【請求項 6】センスアンプで電位差を増幅する前に参照電位を出力するダミーセルに付属するワード線を制御して上記ダミーセルに含まれるトランジスタを非導通にし、一連の読み出し動作の最後に上記ワード線を制御して上記トランジスタを導通させて上記ダミーセルに含まれるキャパシタにかかる電圧を 0 にする請求項 1、請求項 3 または請求項 4 に記載の半導体不揮発メモリの駆動法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は強誘電体を用いた不揮発性の半導体メモリに関する。

【0002】

【従来の技術】強誘電体を用いたメモリは、現在広く用いられているダイナミックランダムアクセスメモリ (D

2

RAM) とほぼ同等の短時間で読み書きができる。加えて、電源が無くとも情報が保持される不揮発性を有する。強誘電体メモリの形式は主に、DRAM 同様のセル構成を持つトランジスタ付きキャパシタ方式と強誘電体膜を MOS トランジスタの絶縁膜に用いる MOS トランジスタ方式がある。前者には、互いに相反する残留分極の向きの二つのセルを一組として分極の組み合わせで一つの情報を記録する二トランジスタ二キャパシタ (以下 2T1C) 型と、一つのセルで一つの情報を記録する一トランジスタキャパシタ (以下 1T1C) 型がある。高集積化に適する 1T1C 型では、読み出すときに残留分極の向きを判別するために基準となる電位 (参照電位) を発生させる必要がある。

【0003】参照電位を発生する方法として、ダミーセルを用いる方法がいくつか提案されている。一例として、特開昭 63-201998 号公報で述べられているダミーセルを用いたアレー構成を図 10 に示す。この例ではダミーセルのキャパシタ面積をメモリセルキャパシタ面積の 2 倍以上にして、ダミーセルの分極非反転時の容量を、メモリセルキャパシタの分極反転時の容量と非反転時の容量の間の容量値とする。読み出し時には、ダミーセルのキャパシタを反転させずに用いてダミーセル側データ線に、メモリセル側データ線の反転時の電位と非反転時の電位の間の電位を発生する。参照電位は従来、例えばアイエスエスシー 1994 ダイジェスト オブ テクニカル ペーパーズ (ISSCC Dig. Tech. Pap.) 268 頁から 269 頁に示されるように、反転時と非反転時とのメモリセル側データ線電位の丁度中間が最適とされてきた。

【0004】

【発明が解決しようとする課題】上記のダミーセルによる参照電位発生法には以下の問題点がある。

(1) 分極反転を繰り返すことによりメモリセルの強誘電体キャパシタは疲労して読み出し時のデータ線電位が変化することが考慮されておらず、この変化を想定したときに、最適な参照電位をどのように設定すべきかという問題。

【0005】(2) 上記のダミーセルのキャパシタ面積を 2 倍以上にする方法では、微細な強誘電体膜では膜質の制御が難しいため容量は必ずしも面積に比例せず所望の容量を得るのが難しいという問題。

【0006】本発明は、上記 (1)、(2) の問題を解決するための 1T1C 型強誘電体メモリの参照電位発生法を提供するものである。

【0007】

【課題を解決するための手段】本発明の 1T1C 型メモリセル構造の強誘電体メモリは、情報を記憶するメモリセルと、上記メモリセルの二値の記憶情報を判定するための参照電位をデータ線に発生するダミーセルとを有し、上記ダミーセルは、常誘電体キャパシタと上記メモ

3

リセルと同形の強誘電体キャパシタを含む。上記ダミーセルが上記データ線に出力する参照電位は、上記メモリセルの強誘電体キャパシタが疲労する前の状態にあるとき上記メモリセルの二値の記憶情報に対応してデータ線に出力される二つの信号電位の丁度中間の電位よりも低くなるように、望ましくは上記の二つの信号電位のうち低い方の電位よりも高くその差がセンスアンプの最小検知可能電位差になるように、上記ダミーセルの常誘電体キャパシタの容量を決める。参照電位を上記の二つの信号電位の丁度中間の電位よりも低くすることにより、メモリセルの強誘電体キャパシタの疲労現象による信号量低下に対して、より大きなメモリアクセス可能回数を実現できる。また、ダミーセルにメモリセルと同形の強誘電体キャパシタを用いて上記の二つの信号電位の低いほうの電位の分を発生させ、確立された技術である SiO_2 、 Si_3N_4 等の常誘電体キャパシタを用いてセンスアンプで増幅する電位差の分を発生する参照電位発生法により、強誘電体膜の加工ばらつき等によるメモリセルの信号量ばらつきに対して高信頼の、かつ信号量の低下に対する読み出しの余裕を大きく精密に設定できる参照電位を発生できる。

【0008】本発明の別の 1 Tr 1 C 型メモリセル構造の強誘電体メモリは、ダミーセルに属する上記データ線の一部は電源電圧に、その他のデータ線部分およびこれと対をなし所望のメモリセルが接続するデータ線を別電位にプリチャージし、読み出し動作を行う。上記方法により発生する参照電位が、上記メモリセルの強誘電体キャパシタが疲労する前の状態のとき上記メモリセルが二値の記憶情報に対応してデータ線に出力される二つの信号電位の丁度中間の電位よりも低くなるように、望ましくは上記の二つの信号電位のうち低い方の電位よりも高くその差がセンスアンプの最小検知可能電位差になるように、上記参照電位を発生させる上記データ線を分割プリチャージする。参照電位を上記の二つの信号電位の丁度中間の電位よりも低くすることにより、メモリセルの強誘電体キャパシタの疲労現象による信号量低下に対して、より大きなメモリアクセス可能回数を実現できる。また、メモリセルとの同形のダミーセルとプリチャージさせたデータ線の一部とを用いて上記参照電位を発生させることにより、強誘電体膜の加工ばらつき等によるメモリセルの信号量ばらつきに対して高信頼の、かつ高集積な強誘電体メモリを実現できる効果が得られる。

【0009】本発明の別の 1 Tr 1 C 型メモリセル構造の強誘電体メモリは、情報を記憶するメモリセルと、上記メモリセルと同形の強誘電体キャパシタを備えた第 1 のダミーセルが付属したデータ線対と、常誘電体キャパシタと上記メモリセルと同形の強誘電体キャパシタとを備えた第 2 のダミーセルが付属したデータ線対とが、交互に配置され、隣り合う 2 本のデータ線間すべてに置かれた差動型センスアンプと、隣り合う二つの差動型セン

4

スアンプを同時に選択駆動できる選択回路と、隣り合う 3 本のデータ線を同時に選択できるプリチャージ回路とを有する。読み出し時にはメモリセルの情報を出力するデータ線に隣り合う 2 本のデータ線に、上記第 1 および第 2 のダミーセルから参照電位をそれぞれ発生して、これらの参照電位と上記メモリセルの情報を出力したデータ線の電位とを、上記メモリセルの情報が出力されるデータ線につながる二つのセンスアンプを選択駆動することによって比較し、上記メモリセルの情報を判定する。

【0010】上記常誘電体キャパシタの容量は、第 2 のダミーセルが発生する参照電位が、上記メモリセルの強誘電体キャパシタが疲労前の状態にあるとき上記メモリセルの二値の記憶情報に対応してデータ線に出力される二つの信号電位の丁度中間の電位よりも低くなるように、望ましくは上記の二つの信号電位のうち低い方の電位よりも高く、その差がセンスアンプの最小検知可能電位差になるように決める。第 1 のダミーセルからは上記の二つの信号電位のうち低い方の電位と同電位の参照電位を発生する。第 2 のダミーセルから発生する参照電位を上記の二つの信号電位の丁度中間の電位よりも低くすることにより、メモリセルの強誘電体キャパシタの疲労現象による信号量低下に対して、より大きなメモリアクセス可能回数を実現できる。また、参照電位を二つ発生させ、メモリセルの低い方の出力電位を高い方の参照電位で判定し、メモリセルの高い方の出力電位を低い方の参照電位で判定することによって、実効的にセンスアンプの感度が向上し、メモリセルの強誘電体キャパシタの疲労現象による信号量低下に対して大きなメモリアクセス可能回数が得られる。

【0011】上記のいずれの発明でも、センスアンプで電位差を増幅する前にダミーセルに付属するワード線を制御して上記ダミーセルに含まれるトランジスタを非導通にし、一連の読み出し動作の最後に上記ワード線を制御して上記トランジスタを導通させて上記ダミーセルに含まれるキャパシタにかかる電圧を 0 にする駆動法が好ましい。この駆動法により、ダミーセルの強誘電体キャパシタの破壊読み出しを回避でき、安定した参照電位の発生が実現できる。

【0012】

【発明の実施の形態】図 1 は、強誘電体メモリのセル構成を示す本発明の第 1 の実施例である。1 アレー単位は、一つのセンスアンプに 2 本の対データ線 DLM_m と BLM_m が結合されている。 m はアレーの順番をあらわす。各データ線には強誘電体キャパシタ CFE と電界効果トランジスタからなるメモリセルが n 個 (DLM_m には $\text{MC}_{1\ 2m}$ から $\text{MC}_{2n-1\ 2m-1}$ 、 BLM_m には $\text{MC}_{2\ 2m}$ から $\text{MC}_{2n\ 2m-1}$) と、メモリセルと同形セルおよび常誘電体キャパシタ CO と電界効果トランジスタからなるセルを組み合わせたダミーセルが 1 個 (DLM_m には DC_{2m-1} 、 BLM_m には DC_{2m}) が結合されている。ダミーセ

5

ルの強誘電体キャパシタは動作中分極反転が起こらない方向に分極させておく。常誘電体キャパシタCOの容量は $(V_{REF} - V_{SS}) / (V_{CC} - V_{REF}) \times CD - CFE_0$ (CFE_0 はCFEの非反転時容量、 V_{REF} は参照電位) とする。

【0013】図2は、図1の実施例で発生させる参照電位である。読み出し時に、メモリセルの強誘電体キャパシタの分極が非反転の場合データ線に発生する電位が非反転信号、反転した場合に発生する電位が反転信号である。参照電位 V_{REF} は反転信号と非反転信号との丁度中間の電位よりも低く、望ましくは非反転信号より高くその差がセンスアンプで検知可能な電位差(例えば200mV)である電位とする。

【0014】図3は、図1における読み出し動作を示すものである。MC1_{2m-1}セル選択の例を示す。ダミーセルは、選択メモリセルのデータ線対で、選択メモリセル側でないデータ線BLM_nに結合しているDC2_mが選択される。まずPCSスイッチを切り、VSSにプリチャージされていたデータ線対を分離しフローティング状態にする。同時にメモリセルのワード線VW₁とダミーセルのワード線VWD₂を駆動する。この状態でVSSにプリチャージされていたプレート線VP₁とVPD₂をVCCに駆動する。このとき、ダミーセル側データ線BLM_nには図1に示した参照電位 V_{REF} が発生する。一方メモリセル側データ線DLM_nには、書き込まれている分極方向に応じて反転信号か非反転信号(図2参照)が発生する。その後、ダミーセルのCFEが分極反転しないようにVWD₂を閉じた上で、センスアンプでDLM_nとBLM_nとの電位差をVSSとVCCに増幅する。増幅したデータ線電位はYS_nによりI/O線に読み出す。読み出し終了後、プレート線VP₁とVPD₂をVSSに戻してメモリセルのCFEの再書き込みを行い、センスアンプをオフにする。DLM_nとBLM_nをVSSに再びプリチャージし、VWD₂をオンにしてダミーセルのキャパシタにかかっている電位差を0にする。VWD₂をオフにして一連の読み出し動作を終了する。

【0015】この実施例によれば、ダミーセルにメモリセルと同形の強誘電体キャパシタを用いてメモリセルの非反転信号量を発生し、既に確立した技術のある常誘電体キャパシタを用いてセンスアンプで検知する電位差を高精度に発生する。このため、メモリセルの強誘電体キャパシタの特性のばらつきに対して信頼性が高く、疲労による信号量の低下に対して許容メモリアクセス回数を大きくとれる参照電位を精密に供給できる。

【0016】図4に、第1の実施例の参照電位 V_{REF} を発生させる、図1に示した実施例以外のダミーセルの例を示す。図4(a)は、強誘電体キャパシタの非反転容量が $CD \cdot (V_{REF} - V_{SS}) / (V_{CC} - V_{REF})$ の1Tr1C型のダミーセルである。容量を持つならば、常誘電体キャパシタに代えることもできる。図4

6

(b)はメモリセルと同形の1Tr1C型のダミーセルである。ただし読み出す際には、ダミーセルプレート線をVCCではなく $(1 + CD / CFE_0) \times V_{REF} - CD / CFE_0 \times V_{SS}$ に駆動する。図1のダミーセルを図4のダミーセルに置き換えても、疲労による信号量の低下に対して許容メモリアクセス回数を大きく取れる効果がある。

【0017】図5は強誘電体メモリのセル構成を示す本発明の第2の実施例である。この実施例でも、第1実施例と同じ参照電位 V_{REF} を発生させる。ダミーセルはメモリセルと同形である。データ線DLM_nはPCB₁、BLM_nはPCB₂によりメモリセル側(DLM_{1m}, BLM_{1m})とダミーセル側(DLM_{2m}, BLM_{2m})に分けられる。ただしメモリセル側DLM_{1m}, BLM_{1m}のデータ線容量をCD₁、ダミーセル側DLM_{2m}, BLM_{2m}のデータ線容量CD₂としたときに、 $V_{REF} = (CFE_0 + CD_2) V_{CC} / (CFE_0 + CD_1 + CD_2)$ が成り立つように分割する。メモリセル側データ線にはVSSプリチャージ回路、ダミーセル側データ線にはVCCプリチャージ回路が付属している。

【0018】図6は図5における読み出し動作を示すものである。MC1_{2m-1}セル選択の例を示す。待機時にはPCA, PCB₁, PCB₂はオンであり、データ線はメモリセル側とダミーセル側がつながった状態でVSSにプリチャージされている。読み出し開始するときにはPCB₂をオフにして選択ダミーセル側のデータ線を分離し、PCC₂をオンにしてBLM_{2m}をVCCにプリチャージする。その後PCC₂, PCAをオフにしてデータ線をフローティングにし、PCB₂をオンにして、以下第1実施例と同様の手順により読み出し動作を行う。

【0019】本実施例によれば、図1から図3の実施例と同じ効果がある。また、常誘電体キャパシタが不要な分、高集積な強誘電体メモリを実現できる。

【0020】図7は、別の参照電位発生法により読み出しを行う強誘電体メモリのセル構成を示す本発明の第3の実施例である。データ線はセンスアンプで連続的に結ばれている。例えば、データ線DLM_{x-1}とDLM_xの間、DLM_xとDLM_{x+1}との間にセンスアンプが一つずつ配置されている。各データ線には、第1実施例と同形のダミーセルと、メモリセルと同形のダミーセルが2個ずつ交互に付属している。例えば、データ線DLM_{x-1}とDLM_xにはメモリセルと同形のセルと常誘電体キャパシタを備えたセルからなるダミーセル、DLM_{x+1}, DLM_{x+2}にはメモリセルと同形のダミーセルがついている。ダミーセルの強誘電体キャパシタは動作中分極反転が起こらない方向に分極させておく。また、データ線にはPC_x等で制御され、同時に3本のデータ線を選択できるVSSプリチャージ回路が付属している。センスアンプは、PCS_x等により同時に二つ選択駆動できる回路を備えている。

7

【0021】図8は図7の実施例で発生させる参照電位を示す。読み出し時に、メモリセルの強誘電体キャパシタの分極が非反転の場合データ線に発生する電位が非反転信号、反転した場合に発生する電位が反転信号である。参照電位 $VREF_1$ は第1の実施例の参照電位 $VREF$ と同電位とする。別の参照電位 $VREF_2$ は非反転信号量と同電位とする。反転信号は $VREF_2$ との差を、非反転信号は $VREF_1$ との差をセンスアンプで増幅する。

【0022】図9は図7における読み出し動作を示すものである。MC_{2x}セル選択の例を示す。待機時には全てのデータ線をVSSにプリチャージしておく。読み出し開始時にはPC_xをオフにして3本のデータ線DLM_{x-1}、DLM_x、DLM_{x+1}をフローティングにする。同時にVW₂とVWD₂をオンにしてメモリセルMC_{2x}とダミーセルDC_{x-1}、DC_{x+1}を選択する。また、PC_{Sx}をオンにしてDML_xに隣接する二つのセンスアンプを選択しておく。次に、プレート線VP_x、VPD_{x-1}、VPD_{x+1}をVSSからVCCに駆動すると、DLM_{x-1}には参照電位 $VREF_1$ 、DLM_xには分極方向に応じて反転信号あるいは非反転信号電位、DLM_{x+1}には参照電位 $VREF_2$ が発生する(図8参照)。ダミーセルに分極反転が起こらないようにVWD₂をオフにした後、センスアンプをオンにしてDLM_xとDML_{x-1}、DML_{x+1}との電位差をVCCにまで増幅する。このときメモリセルの反転信号電位は $VREF_2$ との間で主に増幅され、非反転信号電位は $VREF_1$ との間で主に増幅される。このためメモリセルの強誘電体キャパシタが疲労して反転信号電位が次第に減少しても、見掛け上非反転信号電位(疲労しても減少しない)との差が、 $VREF_1 - VREF_2$ 以下になるまでは、メモリセルの分極情報を読み出すことができる。増幅後、YS_xによりI/O線にメモリセルの分極情報を読み出す。その後、駆動したプレート線VP_x、VPD_{x-1}、VPD_{x+1}をVSSに戻してメモリセルにもとの情報を再書き込みした後、センスアンプをオフにする。PC_xをオンにして3本のデータ線DLM_{x-1}、DLM_x、DLM_{x+1}を再びVSSにプリチャージする。同時にPC_{Sx}をオフにしてセンスアンプを非選択の状態に戻しておく。最後にVWD₂をオンにしてダミーセルのキャパシタにかかる電圧を0にリセットし、VW₂とVWD₂をオフにする。

8

【0023】本実施例によれば、メモリセルの疲労により次第に反転信号が低下しても、見かけ上反転信号量と非反転信号量との差がセンスアンプの検知できる最小の電位差になるまで読み出しが可能になるので、実効的にセンスアンプの感度が向上する効果がある。

【0024】以上の三つの実施例はいずれもプレート線をVCCに駆動して読み書きを行う方式を示したが、プレート線をVCC/2に固定して読み書きを行う方式でも本発明の参照電位発生法は有効である。

【0025】

【発明の効果】本発明によれば、強誘電体膜疲労に対して高信頼性の高集積不揮発性強誘電体メモリが得られる。

【図面の簡単な説明】

【図1】本発明の参照電位発生ダミーセルを用いたアレー構成の説明図。

【図2】本発明の発生方式による参照電位の特性図。

【図3】図1のアレーにおける読み出し動作のタイミングチャート。

【図4】図1の参照電位を発生するダミーセルの例の説明図。

【図5】本発明のアレー構成の説明図。

【図6】図5のアレーにおける読み出し動作のタイミングチャート。

【図7】本発明の参照電位発生ダミーセルを用いたアレー構成の説明図。

【図8】本発明の発生方式による参照電位の特性図。

【図9】図7のアレーにおける読み出し動作のタイミングチャート。

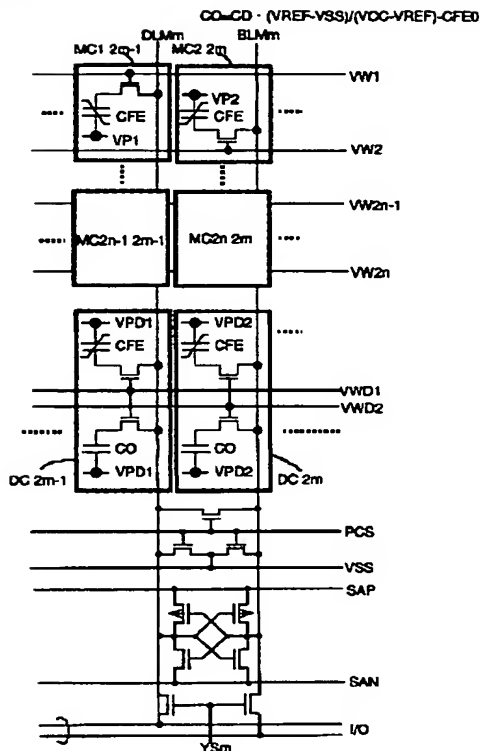
【図10】従来の参照電位発生ダミーセルを用いたアレー構成の説明図。

【符号の説明】

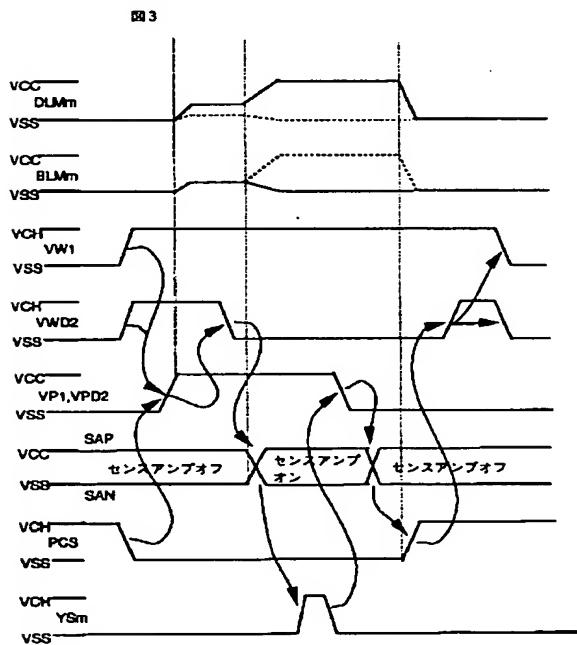
VREF…参照電位、DLM_m、BLM_m、DLM、DLM_{1m}、DLM_{2m}、BLM_{1m}、BLM_{2m}、DLM、BLM…データ線、VW₁、VW₂、VW_{2n-1}、VW_{2n}、VW…メモリセルのワード線、VWD₁、VWD₂、VWD…ダミーセルのワード線、VP₁、VP₂、VP_{x-1}、VP_x、VP_{x+1}、VP_{x+2}…メモリセルのプレート線、VPD₁、VPD₂、VPD、VPDD、VPD_{x-1}、VPD_x、VPD_{x+1}、VPD_{x+2}…ダミーセルのプレート線。

【図 1】

図 1

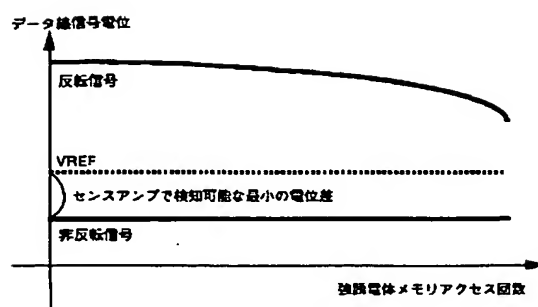


【図 3】



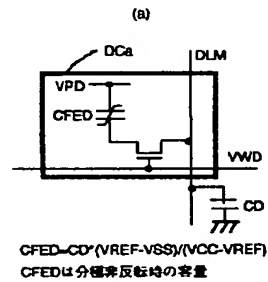
【図 2】

図 2



【図 4】

図 4

(b)

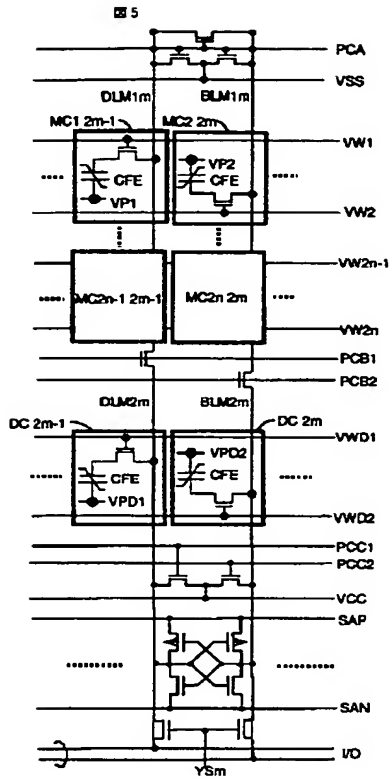
メモリセルと同型のダミーセル DLM

$VPDD=(1+CD/CFE0) \cdot VREF-CD \cdot VSS/CFE0$

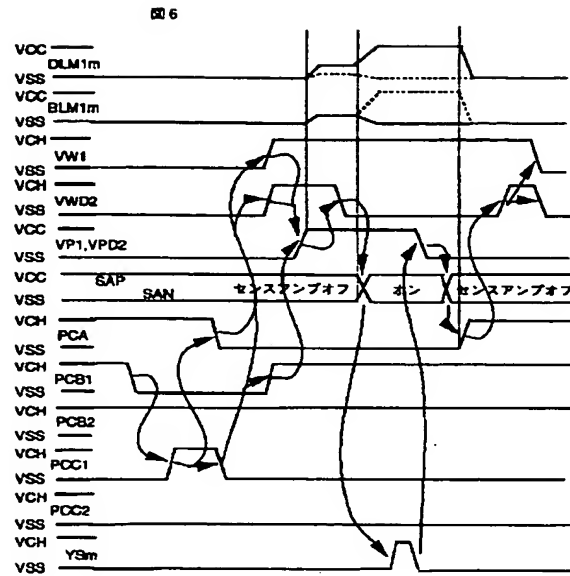
【図 8】

図 8

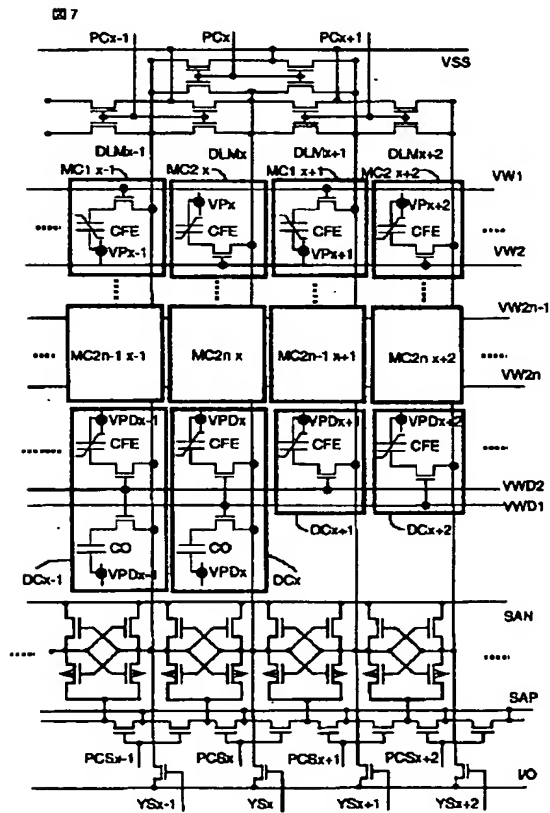
【図 5】



【図 6】



【図 7】



【図 10】

10

